

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-221411

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

G01R 31/28
H01L 27/04
H01L 21/822

(21)Application number : 09-027478

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.02.1997

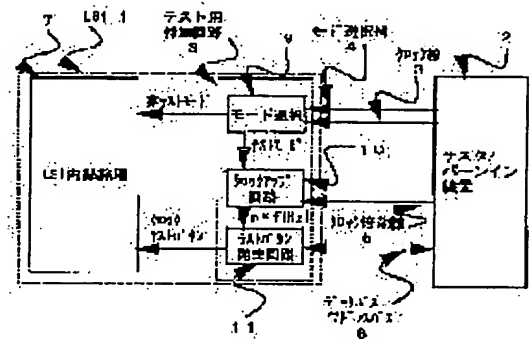
(72)Inventor : HAYASHI HIROMU

(54) ADDITIONAL CIRCUIT IN LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To test an LSI at an actual working frequency regardless of the supply clock of an LSI tester by an arrangement wherein a clock-up circuit is supplied with a clock at an arbitrary frequency from a tester/burn-in unit.

SOLUTION: An LSI 1 comprises an internal logic circuit 7 and an additional circuit 8 for test. At the time of test, a tester/burn-in unit 2 delivers a select signal from a mode select line 4 and a mode select section 9 delivers a clock from a clock line 3 to a clock-up circuit 10. The clock-up circuit 10 increases the clock frequency by a factor of an arbitrary multiple being delivered from the tester/burn-in unit 2 through a clock multiple line 5. A previously transferred test program is actuated in a test pattern generation circuit 11 and a test pattern synchronized with a clock having a frequency increased through the clock-up circuit 10 is supplied to the internal circuit 7. Test results are stored in a memory in the test pattern generation circuit 11.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-221411

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl. ⁶	識別記号	F I	
G 0 1 R 31/28		G 0 1 R 31/28	V
H 0 1 L 27/04		H 0 1 L 27/04	T
21/822			

審査請求 未請求 請求項の数4 O.L (全 4 頁)

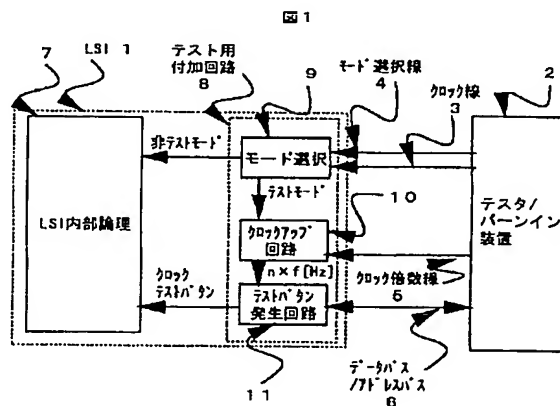
(21)出願番号	特願平9-27478	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成9年(1997)2月12日	(72)発明者	林 宏夢 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 小川 勝男

(54) 【発明の名称】 L S I 付加回路

(57) 【要約】

【課題】 テスタ/バーニン装置の供給するクロック周波数によらず高周波クロックでLSIのテスト/バーニンを行うためのLSI内部の付加回路を提供する。

【解決手段】 テストモードを選択するためのモード選択回路9、テスト/バーンイン装置から供給されるクロック周波数を任意の倍数に引き上げるクロックアップ回路10、テスト/バーンイン装置から転送されるプログラムを格納、実行し、テスト結果を格納するテストボタン発生回路11から構成される。



【特許請求の範囲】

【請求項1】LSIテストからの供給クロックを任意の周波数とするためのクロックアップ回路と、高周波クロックでのテストに追従できプログラムによる動作が可能な論理部と、プログラムやテスト結果を記憶するメモリ部とで構成されるテストパターン発生回路からなり、上記LSIの動作クロック周波数よりも低い周波数でのテストパターン発生装置を用いて高周波クロックでのテスト/バーンインを行うことを特徴とするLSI付加回路。

【請求項2】請求項1において、上記テストパターン発生装置から転送されるプログラムにより高周波で上記LSI内部のテストパターン発生回路のメモリ部に記憶し、上記テストパターン発生装置からテスト結果を読み出すことを可能とするLSI付加回路。

【請求項3】請求項1において、上記テストパターン発生装置から転送される上記テストパターンを上記クロックアップ回路による上記高周波クロックと同期させて上記LSI内に送り、テストパターン発生回路のメモリ部に記憶し、上記テストパターン発生装置からテスト結果を読み出すことを可能とするLSI付加回路。

【請求項4】請求項1において、上記テストパターン発生装置からプログラム及びテストの期待値を転送し、高周波で上記LSI内部のテストパターン発生回路のメモリ部に記憶し、上記テストパターン発生装置から読み出すことを可能とするLSI付加回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSI付加回路に関する。

【0002】

【従来の技術】例えば日立製LSI、HDL2Dは動作周波数が140～160MHzであるが高周波テスト用付加回路を持たないためLSIテスト時の周波数はテストに依存している。

【0003】

【発明が解決しようとする課題】従来のテストからLSIに供給されるクロックの周波数は、例えば、日立製テストであるLSLT-Yでは約40MHzでありLSIの実動作周波数、例えば、日立製LSIであるHDL2Dの動作周波数140～160MHzに対して低周波数であるため、LSIの動作クロックに対するマージン不足不良をテストにより摘出しきれない。また、テスト側で高周波数に対応するには、配線の引き回しにより誘導ノイズの影響を受けやすい点やテストの開発はテストの対象としているLSIの前の世代までの技術でおこなう点から困難である。

【0004】また、LSIのバーンインは生産量を確保するため、一度のバーンインで複数個実施するのが一般的である。このため、従来技術でバーンイン中のテストを行うにはLSIの個数分のテストボタンを入力し、結果を同時に監視・判定する設備が必要となり、大掛かりとなることが予想される。

【0005】

【課題を解決するための手段】本発明はLSI内部にテストからの供給周波数をLSIの動作周波数まで上げるための回路とテストパターンを発生する回路を組み込み、テストパターン発生装置からあらかじめLSI内のテストパターン発生回路内のメモリ部に転送されるプログラムを用いてテストパターン発生装置側の動作速度によらずLSI動作周波数でテストを行う。

【0006】本発明によればあらかじめテストパターン発生装置から転送されるプログラムに従ってLSI内部のテストパターン発生回路が動作し、テストからの動作クロック入力をLSIの動作周波数まで上げたクロックに同期したテストを行うことが可能となる。

【0007】

【発明の実施の形態】以下、本発明の実施例を詳細に説明する。図1は本発明をLSI内部に構成した場合のブロック図であり、図2はテスト実行時のフローチャートである。また、図3はバーンイン装置に適用する場合のフローチャートである。

【0008】図1で、1はLSIであり、テスト/バーンイン実施時はテストパターン発生装置2にクロック線3、モード選択線4、クロック倍数線5、アドレスバス/データバス6で接続されている。LSI1はLSI内部論理7とテスト用付加回路8で構成されている。また、テスト用付加回路8はモード選択部9、クロックアップ回路10、テストパターン発生回路11で構成されている。製品として使用する場合にはモード選択線4から非選択の信号を送り、この場合、モード選択部9はクロック線3からのクロックを直接LSI内部論理7へ供給する。

【0009】まず、図1を用いてテスト時の各部分の接続を説明する。テストプログラムはテストパターン発生装置2からアドレスバス/データバス6を通してテストパターン発生回路11へあらかじめ転送しておく。テスト時にはテストパターン発生装置はモード選択線4から選択の信号を送る。これによりモード選択部9はクロックアップ回路10にクロック線3から供給されるクロックを送る。クロックアップ回路10ではテストパターン発生装置2からクロック倍数線5を通して送られてくる任意の倍数値nによりクロック周波数を上げる。この時、LSI内部論理7へ供給されるクロック周波数はテストパターン発生装置2からクロック線3を通して供給するクロック周波数f[H_z]とすると、n×f[H_z]となる。テストパターン発生回路11ではあらかじめ転送され

ていたテストプログラムが動作し、クロックアップ回路10で周波数を上げられたクロックに同期したテストボタンをLSI内部論理7へ供給する。テスト結果はテストボタン発生回路11内のメモリ部にストアされ、アドレスバス/データバス6を通してテスト/バーンイン装置2へ吸い上げる。

【0010】次に図2を用いてテストシーケンスを説明する。テストがスタートすると(ステップ100)テストはLSIへテストプログラムの転送を行う(101)。転送が完了するとLSIへ転送したプログラムを起動する(102)。テストはLSI側のテストプログラムが終了するまではクロックのみを供給する。LSI側ではテストプログラムに従い、テストボタンをLSI内部論理に供給する(103)。テストが終了すると結果をテストボタン発生回路内のメモリにストアし(104)、テストプログラムを終了する(105)。LSI側のテストプログラムが終了すると、テスト側からテストボタン発生回路にストアされたテスト結果を吸い上げ(106)、期待値と照合する(107)。別のテストを行うかどうかを判定し(108)、テストを行う場合は別のテストプログラムを転送して(101)、一連の動作を繰り返す。テストを終了する場合は期待値と照合した結果を表示し(109)、テストを終了する(110)。

【0011】また、図3を用いてテストを行いながらバーンインをするシーケンスについて説明する。テストがスタートすると(200)、バーンイン装置はLSIへテストプログラムとテスト結果の期待値の転送を行い(201)、バーンインを開始する(202)。次にLSIへ転送したプログラムを起動する(203)。バーンイン装置はLSI側のテストプログラムが終了するまではクロックのみ供給する。LSI側ではテストプログラムに従い、テストボタンをLSI内部論理に供給する(204)。テストが終了すると結果を期待値と照合し*

た結果(1, 0の1bit)をテストボタン発生回路内のメモリにストアし(205)、テストプログラムを終了する(206)。LSI側のテストプログラムが終了すると、バーンイン装置側からテストボタン発生回路にストアされたテスト結果を吸い上げ(207)、結果を格納する(208)。バーンインが継続しているかを判定し(209)、継続する場合はテストプログラムを再起動して(203)、一連の動作を繰り返す。バーンインを終了する場合は格納している結果を表示し(210)、テストを終了する(211)。

【0012】

【発明の効果】本発明によればLSIテストの供給クロック周波数によらずLSIの実動作周波数でテストを実施することができ、動作周波数のマージン不足による不足を摘出することが可能である。まだバーンイン中にも実動作周波数でLSIを動作、テストを行うことが可能となる。

【0013】さらに、テストプログラムをLSI側へ転送する形式をとっているため、柔軟なテストが可能である。

【図面の簡単な説明】

【図1】本発明のLSIのテスト用付加回路とLSIの内部論理、テスト/バーンイン装置の接続関係の表すブロック図。

【図2】本発明を用いてLSIテストでテストを行う場合のテストシーケンスを表すフローチャート。

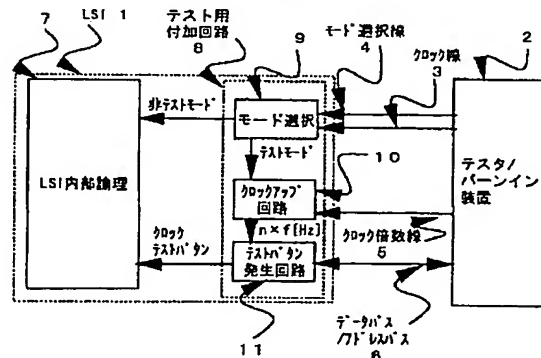
【図3】本発明を用いてバーンイン装置でバーンイン中のテストを行う場合のテストシーケンスを表すフローチャート。

【符号の説明】

1…LSI、2…テスト/バーンイン装置、8…LSI内部の付加回路、10…クロックアップ回路、11…テストボタン発生回路。

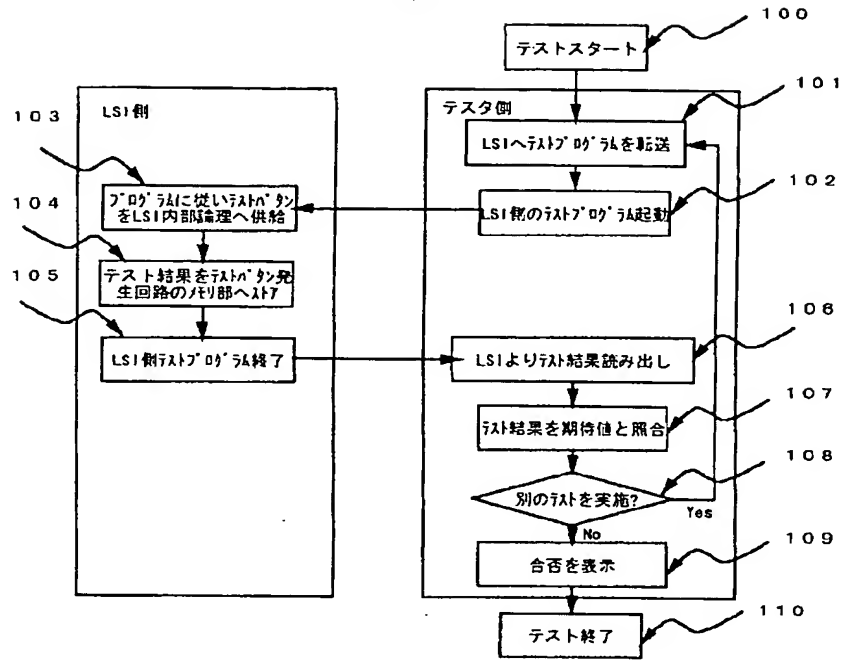
【図1】

図1



【図2】

図2



【図3】

図3

